

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-152330

(43)Date of publication of application : 31.05.1994

(51)Int.Cl.

H03H 17/06
G06F 15/31
G06F 15/68
H03H 7/00
H03H 17/02

(21)Application number : 04-302091

(71)Applicant : NEC CORP

(22)Date of filing : 12.11.1992

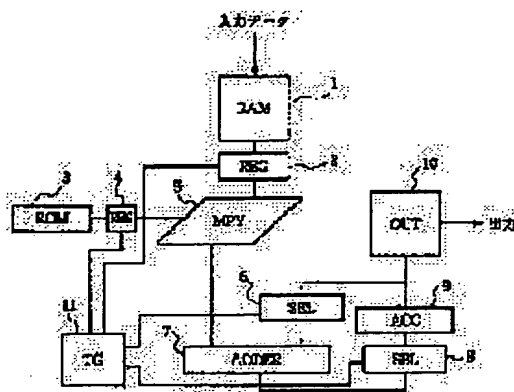
(72)Inventor : SAKURAI AKINORI

(54) DIGITAL FILTER

(57)Abstract:

PURPOSE: To execute much calculation within a fixed time and to improve the order of filters by providing a digital filter with a switching function for switching the upper and lower bits of an accumulator and a timing generating circuit for generating the timing of the switching function.

CONSTITUTION: The digital filter having 16 bits for data and 16 bits for coefficients, for example, is provided with a RAM 1 having 16-bit width, 16-bit register 2 for storing data for a fixed time, an 8-bit width ROM 3 for storing the coefficient of a filter, an 8-bit register 4 for storing data for a fixed time, and a multiplier 5 consisting of 16 bits \times 8 bits. The input/output of an accumulator show whether the lower 25 bits of the accumulator are to be selected or upper 8 to 32 bits are to be selected and show whether the output of an adder 7 is to be inputted to the lower 24 bits or upper 8 to 32 bits of the accumulator 9 in a switching circuit 8. When all upper bits are '0' or '1', processing can be completed only by one multiplication.



LEGAL STATUS

[Date of request for examination] 24.12.1996

[Date of sending the examiner's decision of rejection] 18.04.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

#1046 U.S. PTO
09/818350
03/27/01

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-152330

(43) 公開日 平成6年(1994)5月31日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 H 17/06	Z	7037-5 J		
G 0 6 F 15/31	D	7343-5 L		
15/68	4 0 0 J	9191-5 L		
H 0 3 H 7/00		8321-5 J		
17/02	L	7037-5 J		

審査請求 未請求 請求項の数1(全7頁)

(21) 出願番号 特願平4-302091

(22) 出願日 平成4年(1992)11月12日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 櫻井 昭典

東京都港区芝五丁目7番1号日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

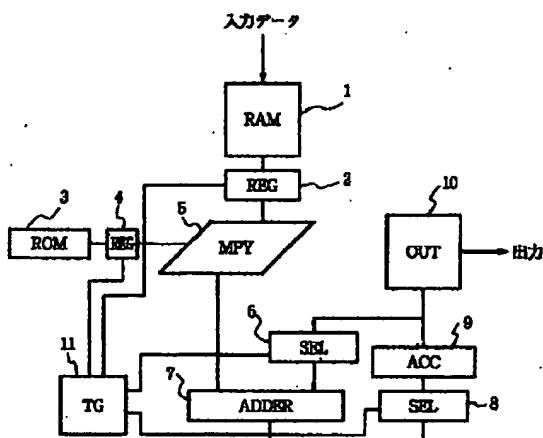
(54) 【発明の名称】 デジタルフィルター

(57) 【要約】

【目的】 本発明はデジタルフィルターに関し、特に、対称な係数を持つFIRフィルター回路に関する。

【構成】 本発明は演算するビットを上位ビットと下位ビットで切り替える切り替え回路と、切り替え回路のタイミングを作るタイミング生成回路を有している。

【効果】 本発明のデジタルフィルターは従来に比べ、2回に分けて乗算するため、乗算器及び加算器のビット数を少なくでき、さらにアキュムレータの上位ビットと下位ビットを切り替えられるため係数の上位ビットが全て0または全て1の場合1回で乗算でき、結果としてフィルターの次数をあげることができるという利点を有している。



【特許請求の範囲】

【請求項1】 一定時間毎にデジタル・データを入力するデータ入力回路と、入力データを遅延させる遅延用RAMと、前記遅延用RAMの出力を一定時間遅延させて出力する第1の遅延回路と、(係数ビット数の1/2)から(係数ビット数-1)までのビット幅を持つ係数ROMと、前記係数ROMの出力を一定時間遅延させて出力する第2の遅延回路と、乗算器と、第1の切り替え回路と、第2の切り替え回路と、加算器と、アキュムレータと、タイミング生成回路と、出力回路を備え、前記入力回路の出力は前記RAMに入力され、前記RAMの出力は前記第1の遅延回路に入力され、前記ROMの出力は前記第2の遅延回路に入力され、前記第1の遅延回路及び前記第2の遅延回路の出力は前記乗算器に入力され、前記第1の加算器の出力は前記乗算器に入力され、前記係数ROMの出力は前記乗算器に入力され、前記乗算器の出力は前記加算器の一方に入力され、前記加算器の出力は前記第1の切り替え回路に入力され、前記第1の切り替え回路の出力は前記アキュムレータに入力され、前記アキュムレータの出力は前記第2の切り替え回路に入力され、前記第2の切り替え回路の出力は加算器の一方に入力され、前記タイミング生成回路の出力は前記第1の遅延回路と第2の遅延回路と第1の切り替え回路と第2の切り替え回路に入力されることを特徴とするデジタルフィルター。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタルフィルターに関し、特にFIRフィルター回路を有するデジタルフィルターに関する。

【0002】

【従来の技術】 従来、この種のデジタルフィルター*

*は、図4に示すように、入力データを遅延させる遅延用RAM20と、遅延用RAM20の出力データを入力とするレジスタ21と、係数を入力する係数ROM22と、係数ROM22の出力データを入力とするレジスタ23と、レジスタ21の出力とレジスタ23の出力を入力とする乗算器24と、乗算器24の出力とアキュムレータ26の出力を入力とする加算器25と、加算器25の出力を入力とするアキュムレータ26と、アキュムレータ26の出力を入力とする出力回路27と、レジスタ21とレジスタ23のタイミングを作るタイミング生成回路28を有する。

【0003】 次に、データが16ビット、係数が表1のような16ビットの場合のデジタルフィルターの動作について説明する。まず、遅延用RAM20から16ビットデータをD(12), D(11) ...と順次読みだし、レジスタ21に保持する。一方、係数ROMからは、表1の16ビットの係数がC(12), C(11) ...と順次読み出され、レジスタ23に保持する。レジスタ21及び23でタイミングをそろえられ、16ビット×16ビットの乗算器24へ入力される。乗算器24の出力は、D(12)×C(12), D(11)×C(11) ...D(-12)×C(-12)となる。乗算器24の出力は32ビット加算器25に入力され、アキュムレータ26の出力と加算される。最初、アキュムレータ26の内容がクリアーされているとすると、加算器25の出力は

$$\Sigma \{D(k) \times C(k)\}$$

となる。このようにして、累積加算結果が最終的にアキュムレータ26に格納され、出力回路で出力するという構成をとっていた。

【0004】

【表1】

C(-12)	FED4	C(1)	171E
C(-11)	007F	C(2)	ED88
C(-10)	0032	C(3)	0C21
C(-9)	FE91	C(4)	FA4F
C(-8)	02C8	C(5)	008F
C(-7)	FC8A	C(6)	027C
C(-6)	027C	C(7)	FC8A
C(-5)	008F	C(8)	02C8
C(-4)	FA4F	C(9)	FE91
C(-3)	0C21	C(10)	0032
C(-2)	ED88	C(11)	007F
C(-1)	171E	C(12)	FED4
C(0)	B72D		

表1 25次フィルター係数

【0005】

【発明が解決しようとする課題】 従来のデジタルフィルターでは、データ16ビット、係数16ビットの場

合、乗算器は16ビット×16ビット、係数ROMは16×(タップ数+1)/2の容量が必要となり、回路規模が大きくなるという課題があった。

【0006】

【課題を解決するための手段】本発明のデジタルフィルタは、一定時間毎にデジタル・データを入力するデータ入力回路と、入力データを遅延させる遅延用RAMと、前記遅延用RAMの出力を一定時間遅延させて出力する第1の遅延回路と、(係数ビット数の1/2)から(係数ビット数-1)までのビット幅を持つ係数ROMと、前記係数ROMの出力を一定時間遅延させて出力する第2の遅延回路と、乗算器と、第1の切り替え回路と、第2の切り替え回路と、加算器と、アキュムレータと、タイミング生成回路と、出力回路を備え、前記入力回路の出力は前記RAMに入力され、前記RAMの出力は前記第1の遅延回路に入力され、前記ROMの出力は前記第2の遅延回路に入力され、前記第1の遅延回路及び前記第2の遅延回路の出力は前記乗算器に入力され、前記第1の加算器の出力は前記乗算器に入力され、前記係数ROMの出力は前記乗算器に入力され、前記乗算器の出力は前記加算器の一方に入力され、前記加算器の出力は前記第1の切り替え回路に入力され、前記第1の切り替え回路の出力は前記アキュムレータに入力され、前記アキュムレータの出力は前記第2の切り替え回路に入力され、前記第2の切り替え回路の出力は加算器の一方に入力され、前記タイミング生成回路の出力は前記第1の遅延回路と第2の遅延回路と第1の切り替え回路と第2の切り替え回路に入力される構成である。

【0007】

【実施例】次に本発明の第1の実施例のデジタルフィルタについて図面を参照して説明する。

【0008】本発明の第1の実施例のデジタルフィルタのブロック図示す図1を参照すると、この実施例のデジタルフィルタはデータ16ビット、係数16ビットを有し、デジタル・データ入力を格納するビット幅16ビットのRAM1と、RAM1の出力を受けて一定時間保持する16ビットのレジスタ2と、フィルタの係数を格納しているビット幅8ビットのROM3と、ROM3の出力を受けて一定時間保持する8ビットのレジスタ4、16ビット×8ビットの乗算器5と、加算結果を累積するアキュムレータ9と、アキュムレータ9の上位ビットの下位ビットを切り替える切り替え回路6と、乗算器5の出力と切り替え回路6の出力とを入力とする25ビット加算器7と、加算器7の出力をアキュムレータ9の下位25ビットに入力するか9～32ビット目に入力するかを切り替え回路8と、レジスタ2とレジスタ4とを切り替え回路6とイリヤエ回路8のタイミングを作るタイミング生成回路11とで構成される。図3を参照してこの実施例のデジタルフィルタの動作について説明する。

【0009】求める出力DOは

$DO = \sum \{ D(k) \times C(k) \} \quad (k = -12, -11, -10 \dots 10, 11, 12)$

である。

【0010】まず、図3の説明を行う。レジスタ4(ROM出力)は図1のレジスタ4の内容で、係数ROM3の係数データ出力を表す。レジスタ2(データ)は図1のレジスタ2の内容で、RAMから読み出されたデータを表す。乗算器は図1の乗算器5の出力を表す。次のアキュムレータ入出力は、切り替え回路6でアキュムレータ9の下位25ビットを選ぶか8～32の上位ビットを選ぶかを示し、さらに切り替え回路8で加算器7の出力をアキュムレータ9の下位24ビットに入力するか8～32の上位ビットに入力するかを示している。1, 3, 4行目は下位24ビットの場合で、2, 6, 8行目は8～32の上位ビットの場合である。

【0011】

【表2】

アドレス	データ	アドレス	データ
0	D4	22	67
1	FE	23	1E
2	7F	24	17
3	32	25	88
4	91	26	ED
5	FE	27	21
6	C9	28	0C
7	02	29	4F
8	8A	30	FA
9	FC	31	8F
10	7C	32	7C
11	02	33	02
12	8F	34	9A
13	4F	35	FC
14	FA	36	C3
15	21	37	02
16	0C	38	91
17	88	39	FE
18	ED	40	32
19	1E	41	7F
20	17	42	D4
21	2D	43	FE

表2 本実施例の係数ROMデータ

【0012】はじめに、RAM1から16ビットデータD(12)が読み出される。このデータは一旦レジスタ2に保持される。一方ROM3には、表2のようなデータが保持されており、最初にC(12)の下位8ビットが読み出され、一旦レジスタ4に保持される。本実施例では、D4という係数データになる。

【0013】このC(12)の下位8ビットをC(12L)、上位8ビットをC(12U)と表すことにする。レジスタ2とレジスタ4の出力は乗算器5で乗算されるので、乗算結果はD(12)×C(12L)となる。こ

5

の出力は、アキュムレータ9の下位24ビットとともに加算器8に入力され加算される。ここで、最初にアキュムレータ9の内容をクリアしておくとする、加算器8の出力は乗算結果そのもので、アキュムレータ9の下位にもD(12)×C(12L)が格納される。次にレジスタ2の内容は保持しておき、ROM3からC(12U)が読み出され、一旦レジスタ4に保持される。乗算結果はD(12)×C(12U)となる。この乗算結果は、切り替え回路によって選ばれているアキュムレータ9の上位ビット(9ビット〜32ビット)とともに加算器8で加算される。加算器8の出力はD(12)×C(12)の9ビット〜32ビットとなり、切り替え回路8によりアキュムレータ9の9ビット〜32ビットとなり、切り替え回路8によりアキュムレータ9の9ビット〜32ビットに保持される。

【0014】次に、RAM1からD(11)が読み出されると同時に、ROM3からC(11)の下位8ビットが読み出され、それぞれレジスタ2及びレジスタ4に保持される。レジスタ2と4の出力は乗算器5で乗算され、出力結果はD(11)×C(11L)となる。この出力は、アキュムレータ9の下位24ビットとともに加算器7に入力され、加算器8の出力は

$D(12) \times C(12) - D(11) \times C(11L)$ となる。係数C(11)は(007F)Hで上位8ビットは全て0であるため

$D(11) \times C(11L) = D(11) \times C(11)$

となるため、加算器7の出力は

$D(12) \times C(12) + D(11) \times C(11)$

となる。このように、上位8ビットが全て0または全て1の係数に関しては、下位ビットのみの累積加算を行い、それ以外の係数に関しては、下位の乗算結果と上位の乗算結果の累積加算を続けることによって

$DO = \sum \{ D(k) \times C(k) \} \quad (k = -12, -11, -10 \dots 10, 11, 12)$

を得ることが出来る。

【0015】次に本発明の第2の実施例のデジタルフィルターについて図面を参照して説明する。本実施例のデジタルフィルターは、データ16ビット、係数16ビットを有しているが、乗算器3係数ROM、および加算器のそれぞれのビット数が第1の実施例と異なる。この第2の実施例のデジタルフィルターは、フィルターの係数を格納しているビット幅10ビットのROM53と、16ビット×10ビットの乗算器55と、7は乗算器5の出力と切り替え回路と出力を入力とする27ビット加算器77とを有しそれ以外は第1の実施例と同じ構成であり同一構成要素には第一参照してある。

【0016】

【表3】

6

アドレス	データ	アドレス	データ
0	2D4	17	019
1	07F	18	31E
2	032	19	005
3	281	20	188
4	2C3	21	3FB
5	08A	22	021
6	27C	23	003
7	08F	24	2F4
8	2F4	25	3FE
9	3FE	26	08F
10	021	27	27C
11	003	28	08A
12	188	29	2C3
13	3FB	30	281
14	31E	31	032
15	005	32	07F
16	82D	33	2D4

表3 本実施例の係数ROMデータ

【0017】このようなROMデータを用いると実施例1と同様にして出力DOは、

$DO = \sum \{ D(k) \times C(k) \} \quad (k = -12, -11, -10 \dots 10, 11, 12)$

を得ることが出来る。この実施例2の場合実施例1に比べて乗算器、係数ROM、加算器のビット数が増えるが、演算回数は増やせるという利点がある。

【0018】

【発明の効果】以上説明したように、本発明のデジタルフィルターは、2回に分けて乗算するため、従来に比べ乗算器及び加算器のビット数を少なくでき、さらにアキュムレータの上位ビット下位ビットを切り替える切り替え機能とそのタイミングを作くタイミング生成回路を有するため、上位ビットが全て0または全て1の場合には、1回で乗算を終えることが出来、同じ時間内で多くの計算が出来る即ちフィルターの次数を上げられるという利点を有している。

【図面の簡単な説明】

【図1】本発明の第1の実施例のデジタルフィルターのブロック図である。

【図2】図1を用いたフィルターの構成図である。

【図3】本発明のフィルターの計算ルーチンである。

【図4】従来例のデジタルフィルターのブロック図である。

【図5】本発明の第2の実施例のデジタルフィルターのブロック図である。

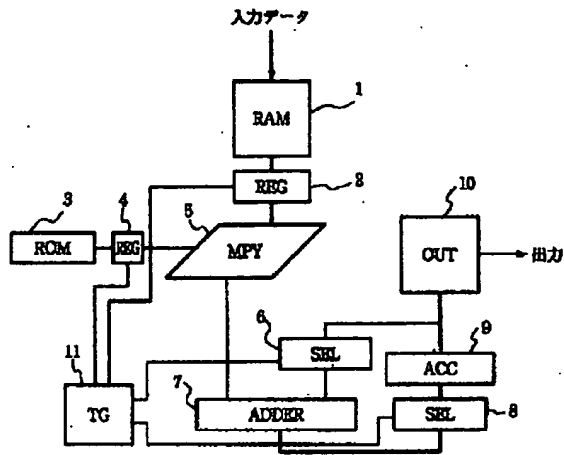
【符号の説明】

- 1, 20 遅延用RAM
- 2, 21 レジスタ
- 3, 22, 53 係数ROM
- 4, 23 レジスタ
- 5, 24, 55 乗算器
- 6 切り替え回路
- 7, 25, 77 加算器
- 8 切り替え回路
- 50 9, 26 アキュムレータ

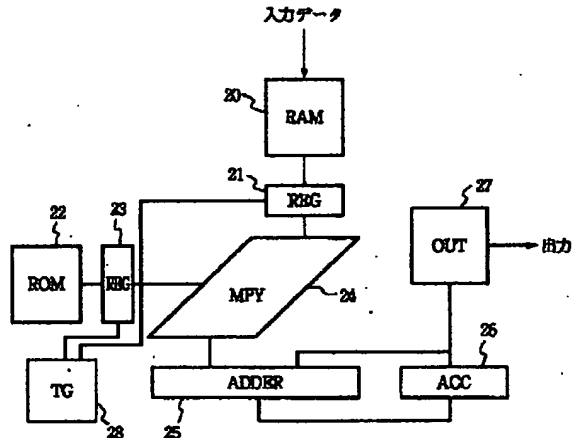
10, 27 出力回路

11, 28 タイミング生成回路

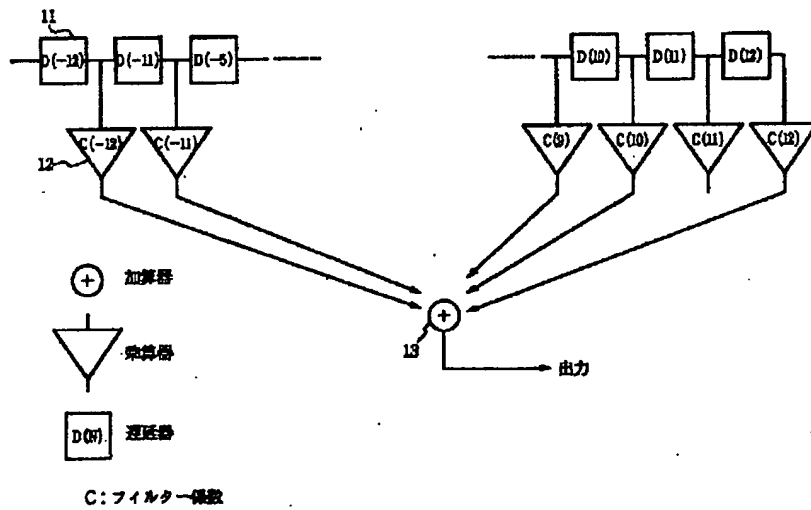
【図1】



【図4】



【図2】



【図3】

レジスタ4 (ROM出力)	レジスタ2 (データ)	乗算器	アキュムレータ入出力					アキュムレータ内容
			MSB	24	16	8	LSB	
D4 C(24L)	D(24)	$D(24) \times C(24L)$						$D(24) \times C(24L)$
FE C(24U)	D(24)	$D(24) \times C(24U)$						$D(24) \times C(24)$
7F C(23L) =C(23)	D(23)	$D(23) \times C(23)$						$\sum_{k=23}^{24} (D(k) \times C(k))$
32 C(22L) =C(22)	D(22)	$D(22) \times C(22)$						$\sum_{k=22}^{24} (D(k) \times C(k))$
91 C(21L)	D(21)	$D(21) \times C(21L)$						$\sum_{k=22}^{24} (D(k) \times C(k)) + D(21) \times C(21L)$
FE C(21U)	D(21)	$D(21) \times C(21U)$						$\sum_{k=21}^{24} (D(k) \times C(k))$
C3 C(20L)	D(20)	$D(20) \times C(20L)$						$\sum_{k=21}^{24} (D(k) \times C(k)) + D(20) \times C(20L)$
02 C(20U)	D(20)	$D(20) \times C(20U)$						$\sum_{k=20}^{24} (D(k) \times C(k))$
9A C(19L)	D(19)	$D(19) \times C(19L)$						$\sum_{k=20}^{24} (D(k) \times C(k)) + D(19) \times C(19L)$
FC C(19U)	D(19)	$D(19) \times C(19U)$						$\sum_{k=19}^{24} (D(k) \times C(k))$
7C C(18L)	D(18)	$D(18) \times C(18L)$						$\sum_{k=19}^{24} (D(k) \times C(k)) + D(18) \times C(18L)$
02 C(18U)	D(18)	$D(18) \times C(18U)$						$\sum_{k=18}^{24} (D(k) \times C(k))$
8F C(17L) =C(17)	D(17)	$D(17) \times C(17L)$						$\sum_{k=17}^{24} (D(k) \times C(k))$
4F C(16L)	D(16)	$D(16) \times C(16L)$						$\sum_{k=17}^{24} (D(k) \times C(k)) + D(16) \times C(16L)$
FA C(16U)	D(16)	$D(16) \times C(16U)$						$\sum_{k=16}^{24} (D(k) \times C(k))$

【図5】

